



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년12월27일
(11) 등록번호 10-2481855
(24) 등록일자 2022년12월22일

(51) 국제특허분류(Int. Cl.)
H03K 19/0948 (2006.01) H01L 29/74 (2006.01)
H01L 29/78 (2006.01) H03K 19/00 (2006.01)
H03K 19/003 (2006.01)
(52) CPC특허분류
H03K 19/0948 (2013.01)
H01L 29/74 (2013.01)
(21) 출원번호 10-2021-0088865
(22) 출원일자 2021년07월07일
심사청구일자 2021년07월07일
(56) 선행기술조사문헌
KR1020180033877 A
KR1020200027823 A
KR1020210023277 A
KR1020210058463 A

(73) 특허권자
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김상식
서울특별시 강남구 남부순환로 2803, 105동 1901호(도곡동, 삼성래미안아파트)
조경아
서울특별시 광진구 천호대로110길 72(능동)
(74) 대리인
김연권

전체 청구항 수 : 총 10 항

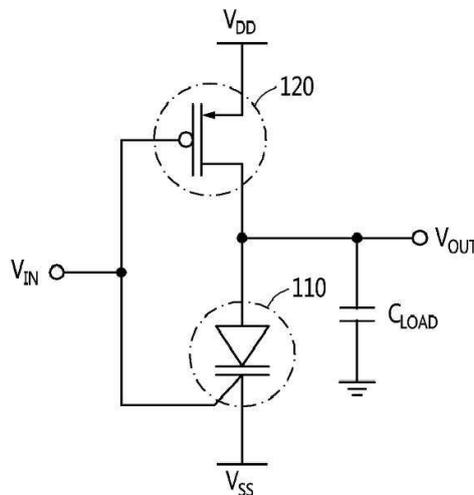
심사관 : 최규돈

(54) 발명의 명칭 피드백 전계효과 전자소자를 이용한 로직 인 메모리 인버터

(57) 요약

본 발명은 피드백 전계효과 전자소자(Feedback Field-Effect Transistor)의 양성 피드백 루프(positive feedback loop)로 구동하고, 로직 인 메모리 기능 동작이 가능한 로직 인 메모리 인버터를 구현하는 기술에 관한 것으로, 본 발명의 일실시예에 따른 로직 인 메모리 인버터는 모스 전계효과 전자소자(Metal Oxide Semiconductor Field-Effect Transistor) 및 나노구조체의 드레인 영역이 상기 모스 전계효과 전자소자의 드레인 영역과 직렬 연결되는 피드백 전계효과 전자소자를 포함하고, 상기 나노구조체의 소오스 영역에 소오스 전압(V_{SS})이 입력되고, 상기 모스 전계효과 전자소자의 소오스 영역에 드레인 전압(V_{DD})이 입력되면서 상기 피드백 전계효과 전자소자의 게이트 전극과 상기 모스 전계효과 전자소자의 게이트 전극에 입력되는 입력 전압(V_{IN})의 레벨에 따라 변화되는 출력 전압(V_{OUT})에 기반하여 논리 연산을 수행할 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 29/78 (2013.01)

H03K 19/0016 (2013.01)

H03K 19/00323 (2013.01)

(72) 발명자

손재민

경기도 성남시 수정구 위례순환로 150, 3403동 50
2호(창곡동, 래미안 위례)

백은우

서울특별시 성북구 고려대로27길 52, 303호 (안암
동5가)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711133792

과제번호 10067791

부처명 과학기술정보통신부

과제관리(전문)기관명 한국산업기술평가관리원

연구사업명 산업기술혁신사업

연구과제명 인공지능용 feedback Si chael 1T-SRAM의 공정 및 구조 최적화 기술 개발

기 여 율 1/1

과제수행기관명 고려대학교산학협력단

연구기간 2021.01.01 ~ 2021.09.30

명세서

청구범위

청구항 1

모스 전계효과 전자소자(Metal Oxide Semiconductor Field-Effect Transistor); 및

나노구조체의 드레인 영역이 상기 모스 전계효과 전자소자의 드레인 영역과 직렬 연결되는 피드백 전계효과 전자소자(Feedback Field-Effect Transistor)를 포함하고,

상기 나노구조체의 소오스 영역에 소오스 전압(V_{SS})이 입력되고, 상기 모스 전계효과 전자소자의 소오스 영역에 드레인 전압(V_{DD})이 입력되면서 상기 피드백 전계효과 전자소자의 게이트 전극과 상기 모스 전계효과 전자소자의 게이트 전극에 입력되는 입력 전압(V_{IN})의 레벨에 따라 변화되는 출력 전압(V_{OUT})에 기반하여 논리 연산을 수행하는 것을 특징으로 하는

로직 인 메모리 인버터.

청구항 2

제1항에 있어서,

상기 입력 전압(V_{IN})의 레벨에 따라 상기 피드백 전계효과 전자소자 내 포텐셜 장벽의 높이가 제어되고, 상기 제어된 높이에 따라 양성 피드백 루프의 발생이 제어됨에 따라 상기 소오스 전압(V_{SS}), 상기 드레인 전압(V_{DD}) 및 상기 입력 전압(V_{IN})의 레벨이 제로 레벨로 전환되는 경우에 상기 수행된 논리 연산에 따른 논리 상태를 유지하는 것을 특징으로 하는

로직 인 메모리 인버터.

청구항 3

제2항에 있어서,

상기 피드백 전계효과 전자소자는 상기 입력 전압(V_{IN})의 레벨이 로우 레벨에서 제로 레벨로 전환되는 경우, 상기 로우 레벨에 기반한 포텐셜 장벽의 높이가 상기 나노 구조체의 드레인 영역과 소스 영역으로부터 채널 영역으로 주입되는 전자와 정공을 막아주어 상기 피드백 전계효과 전자소자의 드레인 전압의 에너지 레벨이 하이 상태의 에너지 레벨로 유지됨에 따라 상기 수행된 논리 연산에 따른 논리 상태를 하이 상태로 유지하는 것을 특징으로 하는

로직 인 메모리 인버터.

청구항 4

제2항에 있어서,

상기 피드백 전계효과 전자소자는 상기 입력 전압(V_{IN})의 레벨이 하이 레벨인 경우, 상기 포텐셜 장벽의 높이가 감소됨에 따라 상기 나노 구조체의 드레인 영역과 소스 영역으로부터 채널 영역으로 전자와 정공이 주입되는 양성 피드백 루프(positive feedback loop)가 발생하고, 상기 입력 전압(V_{IN})의 레벨이 하이 레벨에서 제로 레벨로 전환된 경우에도 상기 양성 피드백 루프(positive feedback loop)을 통해 상기 채널 영역의 포텐셜 우물에 축적된 전자와 정공에 기반하여 상기 피드백 전계효과 전자소자의 드레인 전압의 에너지 레벨이 로우 상태의 에너지 레벨로 유지됨에 따라 상기 수행된 논리 연산에 따른 논리 상태를 로우 상태로 유지하는 것을 특징으로 하는

로직 인 메모리 인버터.

청구항 5

제4항에 있어서,
 상기 피드백 전계효과 전자소자는 상기 입력 전압(V_{IN})의 레벨이 제로 레벨에서 하이 레벨로 증가하는 경우, 상기 양성 피드백 루프(positive feedback loop)에 기반한 래치업(latch-up) 현상이 발생하는 것을 특징으로 하는 로직 인 메모리 인버터.

청구항 6

제1항에 있어서,
 상기 입력 전압(V_{IN})의 레벨이 로우 레벨인 경우 상기 수행된 논리 연산에 따른 논리 상태를 하이 상태로 결정하고,
 상기 입력 전압(V_{IN})의 레벨이 하이 레벨인 경우 상기 수행된 논리 연산에 따른 논리 상태를 로우 상태로 결정하는 것을 특징으로 하는 로직 인 메모리 인버터.

청구항 7

제1항에 있어서,
 상기 입력 전압(V_{IN})의 레벨이 로우 레벨에서 제로 레벨로 전환되는 경우 상기 수행된 논리 연산에 따른 논리 상태를 하이 상태로 유지하고,
 상기 입력 전압(V_{IN})의 레벨이 하이 레벨에서 제로 레벨로 전환되는 경우 상기 수행된 논리 연산에 따른 논리 상태를 로우 상태로 유지하는 것을 특징으로 하는 로직 인 메모리 인버터.

청구항 8

제1항에 있어서,
 상기 모스 전계효과 전자소자는 p형 전계효과 전자소자이고,
 상기 피드백 전계효과 전자소자는 n형 전계효과 전자소자인 것을 특징으로 하는 로직 인 메모리 인버터.

청구항 9

제8항에 있어서,
 상기 모스 전계효과 전자소자는 드레인 영역, 소오스 영역 및 채널 영역을 포함하는 p-n-p 트랜지스터, 게이트 절연막, 게이트 전극을 포함하고,
 상기 드레인 영역 및 상기 소오스 영역은 p 도핑 상태이며,
 상기 채널 영역은 n 도핑 상태인 것을 특징으로 하는 로직 인 메모리 인버터.

청구항 10

제8항에 있어서,
 상기 피드백 전계효과 전자소자는 상기 나노구조체, 게이트 절연막, 게이트 전극을 포함하고,
 상기 나노구조체는 p-n-p-n 나노구조체로 드레인 영역, 소오스 영역, 제1 채널 영역 및 제2 채널 영역을 포함하며,

상기 드레인 영역 및 상기 제2 채널 영역은 p 도핑 상태이고,
 상기 소오스 영역 및 상기 제1 채널 영역은 n 도핑 상태이며,
 상기 제1 채널 영역의 채널 길이와 상기 제2 채널 영역의 채널 길이는 동일한 것을 특징으로 하는
 로직 인 메모리 인버터.

발명의 설명

기술 분야

[0001] 본 발명은 피드백 전계효과 전자소자를 이용한 로직 인 메모리 인버터에 관한 것으로, 피드백 전계효과 전자소자의 양성 피드백 루프로 구동하고, 로직 인 메모리 기능 동작이 가능한 로직 인 메모리 인버터를 구현하는 기술에 관한 것이다.

배경 기술

[0002] CMOS(Complementary Metal-Oxide-Semiconductor) 인버터는 p형 MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)와 n형 MOSFET을 직렬로 연결한 구조를 가진다.

[0003] CMOS 인버터는 논리 스위칭 회로, 마이크로프로세서, 메모리 등 아날로그 집적회로 및 디지털 집적회로에서 전자회로를 구성하기 위한 필수 회로 요소로 사용된다.

[0004] 한편, 기존 폰 노이만 기반의 시스템은 프로세서와 메모리가 분리되어 버스(bus)를 통해 데이터의 전송이 이루어진다.

[0005] 하지만 컴퓨팅 성능의 증가에 따라 프로세서와 메모리간 데이터 처리속도 차이로 인해 병목 현상이 발생하게 되었고, 대용량 데이터 처리에 한계를 드러내기 시작했다.

[0006] 다시 말해, 반도체 산업의 혁명적인 발전인 폰 노이만 기반의 시스템은 현대 컴퓨터의 통합 밀도와 성능을 향상시켰지만 프로세서와 메모리 계층 구조 간의 물리적인 분리에 따라 에너지를 많이 소모하고 데이터 전송과 대기 시간이 길다는 단점이 있다.

[0007] 4 차 산업 혁명 이후 5G 통신 표준, 사물 인터넷 (IoT), 인공 지능 (AI)과 같은 데이터 집약적 인 애플리케이션의 증가를 고려할 때, 새로운 컴퓨팅 패러다임은 대규모 데이터 처리 요구 사항에 필수적이다.

[0008] 상술한 문제를 해결하기 위해 연산과 기억 기능을 융합한 로직 인 메모리(logic in memory, LIM)기술에 대한 연구가 집중 및 가속화되고 있다.

[0009] 로직 인 메모리 기술은 프로세서의 연산 기능과 메모리의 기억 기능을 동일한 공간에서 수행하기 때문에 데이터 전송 시 발생하는 지연 시간과 전력 소모를 줄이고 시스템의 집적도를 크게 향상시킬 수 있다.

[0010] 또한, 로직 인 메모리 기술에서 인버터는 논리 회로를 구현하는 기본적인 구성요소로 사용되고 있다.

[0011] 종래 CMOS 기반 로직 인 메모리 기술은 로직 인 메모리 기능을 구현하기 위해 많은 수의 트랜지스터로 논리 회로를 구성하기 때문에 전체 면적이 크게 늘어나고, 이에 따라 전력 소모가 높다는 문제를 가지고 있다.

[0012] CMOS 기반의 로직 인 메모리 연구 외에도, ReRAM(resistive random-access memory), STT-RAM(spin-transfer torque RAM), FeFET(ferroelectric field-effect transistor) 등의 다양한 소재 및 구조를 갖는 신소자를 활용하여 로직 인 메모리 기능을 구현하는 연구가 진행되고 있다.

[0013] 하지만 이와 같은 소자들은 기존 CMOS 공정을 적용할 수 없어 소자의 균일성 및 안정성이 떨어지고, 복잡한 공정과정으로 인해 실생활에 활용되기 어려움이 있다.

[0014] 따라서, CMOS 공정을 활용하여 로직 인 메모리 기능을 구현할 수 있는 논리 회로에 대한 기술 개발이 필요한 상황이다.

선행기술문헌

특허문헌

- [0015] (특허문헌 0001) 한국등록특허 제10-2132196호, "피드백 루프 동작을 이용하는 피드백 전계효과 전자소자 및 이를 이용한 배열 회로"
- (특허문헌 0002) 일본공개특허 제1998-006515호, "기록 헤드용 기체, 상기 기록 헤드용 기체를 이용한 기록 헤드 및 상기 기록 헤드를 이용한 기록 장치 "
- (특허문헌 0003) 한국등록특허 제10-2206020호, "로직-인-메모리를 위한 3진 메모리 셀 및 이를 포함하는 메모리 장치 "
- (특허문헌 0004) 한국등록특허 제10-0174622호, "바이폴라 인버터의 구조 및 그 제조방법 "

발명의 내용

해결하려는 과제

- [0016] 본 발명은 피드백 전계효과 전자소자의 양성 피드백 루프로 구동하고, 로직 인 메모리 기능 동작이 가능한 로직 인 메모리 인버터를 제공하는 것을 목적으로 한다.
- [0017] 본 발명은 CMOS 공정 활용이 가능한 피드백 전계효과 전자소자와 모스 전계효과 전자소자로 구성되어 집적도가 향상된 로직 인 메모리 인버터를 제공하는 것을 목적으로 한다.
- [0018] 본 발명은 메모리와 프로세서의 분리로 인한 처리속도 및 집적화 한계를 개선하면서 연산과 기억 기능을 융합 구현하는 로직 인 메모리 인버터를 제공하는 것을 목적으로 한다.
- [0019] 본 발명은 피드백 전계효과 전자소자의 메모리 특성을 이용하여 대기 전력을 줄이면서 스위칭 특성을 통해 연산 효율이 증가된 로직 인 메모리 인버터를 제공하는 것을 목적으로 한다.
- [0020] 본 발명은 외부 바이어스 인가 없이 저전력으로 동작이 가능한 로직 인 메모리 인버터를 제공하는 것을 목적으로 한다.
- [0021] 본 발명은 저전력 및 고집적도 하드웨어 컴퓨팅을 구현하면서 패턴인지, 영상 분석 등 다양한 분야에서 병렬 구조식 데이터 처리 방식을 수행할 수 있는 로직 인 메모리 인버터를 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0022] 본 발명의 일실시예에 따른 로직 인 메모리 인버터는 모스 전계효과 전자소자(Metal Oxide Semiconductor Field-Effect Transistor) 및 나노구조체의 드레인 영역이 상기 모스 전계효과 전자소자의 드레인 영역과 직렬 연결되는 피드백 전계효과 전자소자(Feedback Field-Effect Transistor)를 포함하고, 상기 나노구조체의 소오스 영역에 소오스 전압(V_{SS})이 입력되고, 상기 모스 전계효과 전자소자의 소오스 영역에 드레인 전압(V_{DD})이 입력되면서 상기 피드백 전계효과 전자소자의 게이트 전극과 상기 모스 전계효과 전자소자의 게이트 전극에 입력되는 입력 전압(V_{IN})의 레벨에 따라 변화되는 출력 전압(V_{OUT})에 기반하여 논리 연산을 수행할 수 있다.
- [0023] 상기 로직 인 메모리 인버터는 상기 입력 전압(V_{IN})의 레벨에 따라 상기 피드백 전계효과 전자소자 내 포텐셜 장벽의 높이가 제어되고, 상기 제어된 높이에 따라 양성 피드백 루프의 발생이 제어됨에 따라 상기 소오스 전압(V_{SS}), 상기 드레인 전압(V_{DD}) 및 상기 입력 전압(V_{IN})의 레벨이 제로 레벨로 전환되는 경우에 상기 수행된 논리 연산에 따른 논리 상태를 유지할 수 있다.
- [0024] 상기 피드백 전계효과 전자소자는 상기 입력 전압(V_{IN})의 레벨이 로우 레벨에서 제로 레벨로 전환되는 경우, 상기 로우 레벨에 기반한 포텐셜 장벽의 높이가 상기 나노 구조체의 드레인 영역과 소스 영역으로부터 채널 영역으로 주입되는 전자와 정공을 막아주어 상기 피드백 전계효과 전자소자의 드레인 전압의 에너지 레벨이 하이 상태의 에너지 레벨로 유지됨에 따라 상기 수행된 논리 연산에 따른 논리 상태를 하이 상태로 유지할 수 있다.
- [0025] 상기 피드백 전계효과 전자소자는 상기 입력 전압(V_{IN})의 레벨이 하이 레벨인 경우, 상기 포텐셜 장벽의 높이가 감소됨에 따라 상기 나노 구조체의 드레인 영역과 소스 영역으로부터 채널 영역으로 전자와 정공이 주입되는 양성 피드백 루프(positive feedback loop)가 발생하고, 상기 입력 전압(V_{IN})의 레벨이 하이 레벨에서 제로 레벨

로 전환된 경우에도 상기 양성 피드백 루프(positive feedback loop)을 통해 상기 채널 영역의 포텐셜 우물에 축적된 전자와 정공에 기반하여 상기 피드백 전계효과 전자소자의 드레인 전압의 에너지 레벨이 로우 상태의 에너지 레벨로 유지됨에 따라 상기 수행된 논리 연산에 따른 논리 상태를 로우 상태로 유지할 수 있다.

[0026] 상기 피드백 전계효과 전자소자는 상기 입력 전압(V_{IN})의 레벨이 제로 레벨에서 하이 레벨로 증가하는 경우, 상기 양성 피드백 루프(positive feedback loop)에 기반한 래치업(latch-up) 현상이 발생할 수 있다.

[0027] 상기 로직 인 메모리 인버터는 상기 입력 전압(V_{IN})의 레벨이 로우 레벨인 경우 상기 수행된 논리 연산에 따른 논리 상태를 하이 상태로 결정하고, 상기 입력 전압(V_{IN})의 레벨이 하이 레벨인 경우 상기 수행된 논리 연산에 따른 논리 상태를 로우 상태로 결정할 수 있다.

[0028] 상기 입력 전압(V_{IN})의 레벨이 로우 레벨에서 제로 레벨로 전환되는 경우 상기 수행된 논리 연산에 따른 논리 상태를 하이 상태로 유지하고, 상기 입력 전압(V_{IN})의 레벨이 하이 레벨에서 제로 레벨로 전환되는 경우 상기 수행된 논리 연산에 따른 논리 상태를 로우 상태로 유지할 수 있다.

[0029] 상기 모스 전계효과 전자소자는 p형 전계효과 전자소자이고, 상기 피드백 전계효과 전자소자는 n형 전계효과 전자소자일 수 있다.

[0030] 상기 모스 전계효과 전자소자는 드레인 영역, 소오스 영역 및 채널 영역을 포함하는 p-n-p 트랜지스터, 게이트 절연막, 게이트 전극을 포함하고, 상기 드레인 영역 및 상기 소오스 영역은 p 도핑 상태이며, 상기 채널 영역은 n 도핑 상태일 수 있다.

[0031] 상기 피드백 전계효과 전자소자는 상기 나노구조체, 게이트 절연막, 게이트 전극을 포함하고, 상기 나노구조체는 p-n-p-n 나노구조체로 드레인 영역, 소오스 영역, 제1 채널 영역 및 제2 채널 영역을 포함하며, 상기 드레인 영역 및 상기 제2 채널 영역은 p 도핑 상태이고, 상기 소오스 영역 및 상기 제1 채널 영역은 n 도핑 상태이며, 상기 제1 채널 영역의 채널 길이와 상기 제2 채널 영역의 채널 길이는 동일할 수 있다.

발명의 효과

[0032] 본 발명은 피드백 전계효과 전자소자의 양성 피드백 루프로 구동하고, 로직 인 메모리 기능 동작이 가능한 로직 인 메모리 인버터를 제공할 수 있다.

[0033] 본 발명은 CMOS 공정 활용이 가능한 피드백 전계효과 전자소자와 모스 전계효과 전자소자로 구성되어 집적도가 향상된 로직 인 메모리 인버터를 제공할 수 있다.

[0034] 본 발명은 메모리와 프로세서의 분리로 인한 처리속도 및 집적화 한계를 개선하면서 연산과 기억 기능을 융합 구현하는 로직 인 메모리 인버터를 제공할 수 있다.

[0035] 본 발명은 피드백 전계효과 전자소자의 메모리 특성을 이용하여 대기 전력을 줄이면서 스위칭 특성을 통해 연산 효율이 증가된 로직 인 메모리 인버터를 제공할 수 있다.

[0036] 본 발명은 외부 바이어스 인가 없이 저전력으로 동작이 가능한 로직 인 메모리 인버터를 제공할 수 있다.

[0037] 본 발명은 저전력 및 고집적도 하드웨어 컴퓨팅을 구현하면서 패턴인지, 영상 분석 등 다양한 분야에서 병렬 구조식 데이터 처리 방식을 수행할 수 있는 로직 인 메모리 인버터를 제공할 수 있다.

도면의 간단한 설명

- [0038] 도 1은 본 발명의 일실시예에 따른 로직 인 메모리 인버터의 회로도를 설명하는 도면이다.
- 도 2는 본 발명의 일실시예에 따른 로직 인 메모리 인버터의 피드백 전계효과 전자소자를 설명하는 도면이다.
- 도 3은 본 발명의 일실시예에 따른 로직 인 메모리 인버터의 모스 전계효과 전자소자를 설명하는 도면이다.
- 도 4a 및 도 4b는 본 발명의 일실시예에 따른 로직 인 메모리 인버터를 구성하는 단일 소자의 특성을 설명하는 도면이다.
- 도 5a는 본 발명의 일실시예에 따른 로직 인 메모리 인버터의 전압 전달 특성을 설명하는 도면이다.
- 도 5b는 본 발명의 일실시예에 따른 로직 인 메모리 인버터의 게인(Gain)을 설명하는 도면이다.

도 6a 및 도 6b는 본 발명의 일실시예에 따른 로직 인 메모리 인버터의 피드백 전계효과 전자소자의 에너지 밴드 다이어그램을 설명하는 도면이다.

도 7은 본 발명의 일실시예에 따른 로직 인 메모리 인버터에 인가되는 입력 펄스에 따른 로직 인 메모리 인버터의 출력 특성 변화를 설명하는 도면이다.

도 8 내지 도 9b는 본 발명의 일실시예에 따른 로직 인 메모리 인버터에 인가되는 공급 전압에 따른 로직 인 메모리 인버터의 출력 특성 변화를 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0039] 이하, 본 문서의 다양한 실시 예들이 첨부된 도면을 참조하여 기재된다.
- [0040] 실시 예 및 이에 사용된 용어들은 본 문서에 기재된 기술을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 해당 실시 예의 다양한 변경, 균등물, 및/또는 대체물을 포함하는 것으로 이해되어야 한다.
- [0041] 하기에서 다양한 실시 예들을 설명에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.
- [0042] 그리고 후술되는 용어들은 다양한 실시예들에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [0043] 도면의 설명과 관련하여, 유사한 구성요소에 대해서는 유사한 참조 부호가 사용될 수 있다.
- [0044] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함할 수 있다.
- [0045] 본 문서에서, "A 또는 B" 또는 "A 및/또는 B 중 적어도 하나" 등의 표현은 함께 나열된 항목들의 모든 가능한 조합을 포함할 수 있다.
- [0046] "제1," "제2," "첫째," 또는 "둘째," 등의 표현들은 해당 구성요소들을, 순서 또는 중요도에 상관없이 수식할 수 있고, 한 구성요소를 다른 구성요소와 구분하기 위해 사용될 뿐 해당 구성요소들을 한정하지 않는다.
- [0047] 어떤(예: 제1) 구성요소가 다른(예: 제2) 구성요소에 "(기능적으로 또는 통신적으로) 연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 상기 어떤 구성요소가 상기 다른 구성요소에 직접적으로 연결되거나, 다른 구성요소(예: 제3 구성요소)를 통하여 연결될 수 있다.
- [0048] 본 명세서에서, "~하도록 구성된(또는 설정된)(configured to)"은 상황에 따라, 예를 들면, 하드웨어적 또는 소프트웨어적으로 "~에 적합한," "~하는 능력을 가지는," "~하도록 변경된," "~하도록 만들어진," "~를 할 수 있는," 또는 "~하도록 설계된"과 상호 호환적으로(interchangeably) 사용될 수 있다.
- [0049] 어떤 상황에서는, "~하도록 구성된 장치"라는 표현은, 그 장치가 다른 장치 또는 부품들과 함께 "~할 수 있는" 것을 의미할 수 있다.
- [0050] 예를 들면, 문구 "A, B, 및 C를 수행하도록 구성된(또는 설정된) 프로세서"는 해당 동작을 수행하기 위한 전용 프로세서(예: 임베디드 프로세서), 또는 메모리 장치에 저장된 하나 이상의 소프트웨어 프로그램들을 실행함으로써, 해당 동작들을 수행할 수 있는 범용 프로세서(예: CPU 또는 application processor)를 의미할 수 있다.
- [0051] 또한, '또는'이라는 용어는 배타적 논리합 'exclusive or' 이기보다는 포함적인 논리합 'inclusive or'를 의미한다.
- [0052] 즉, 달리 언급되지 않는 한 또는 문맥으로부터 명확하지 않는 한, 'x가 a 또는 b를 이용한다' 라는 표현은 포함적인 자연 순열들(natural inclusive permutations) 중 어느 하나를 의미한다.
- [0053] 이하 사용되는 '..부', '..기' 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어, 또는, 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.
- [0055] 도 1은 본 발명의 일실시예에 따른 로직 인 메모리 인버터의 회로도 설명하는 도면이다.
- [0056] 도 1을 참고하면, 본 발명의 일실시예에 따른 로직 인 메모리 인버터(100)는 피드백 전계효과 전자소자(110, Feedback Field-Effect Transistor) 및 모스 전계효과 전자소자(120, Metal Oxide Semiconductor Field-Effect Transistor)를 포함한다.

- [0057] 일례로, 로직 인 메모리 인버터(100)는 CMOS 공정 기반 피드백 전계효과 전자소자(110) 및 모스 전계효과 전자소자(120)로 구성된다.
- [0058] 본 발명의 일실시예에 따른 로직 인 메모리 인버터(100)는 기존 CMOS 인버터의 n형 모스 전계효과 전자소자를 피드백 전계효과 전자소자(110)로 대체함으로써, 논리 연산뿐만 아니라 연산된 논리를 기억하는 기능을 수행할 수 있다.
- [0059] 또한, 로직 인 메모리 인버터(100)는 출력 라인과 논리 게이트 사이에 기생 커패시턴스가 존재한다고 가정하고 부하 커패시터(C_{LOAD})가 출력단에 연결된다.
- [0060] 일례로, 로직 인 메모리 인버터(100)는 나노구조체의 드레인 영역이 상기 모스 전계효과 전자소자의 드레인 영역과 직렬 연결되는 피드백 전계효과 전자소자(110)를 포함한다.
- [0061] 본 발명의 일실시예에 따르면 로직 인 메모리 인버터(100)는 피드백 전계효과 전자소자(110)의 소오스 영역에 소오스 전압(V_{SS})이 입력되고, 모스 전계효과 전자소자(120)의 소오스 영역에 드레인 전압(V_{DD})이 입력되면서 피드백 전계효과 전자소자(110)의 게이트 전극과 모스 전계효과 전자소자(120)의 게이트 전극에 입력되는 입력 전압(V_{IN})의 레벨에 따라 변화되는 출력 전압(V_{OUT})에 기반하여 논리 연산을 수행할 수 있다.
- [0062] 즉, 로직 인 메모리 인버터(100)는 피드백 전계효과 전자소자(110)의 드레인 전압을 감지하여 결정된 출력 논리 상태를 계산하기 위해 피드백 전계효과 전자소자(110) 및 모스 전계효과 전자소자(120)의 소스 전압에 해당하는 공급 전압으로 소오스 전압(V_{SS}) 및 드레인 전압(V_{DD})이 각각 바이어스 된다.
- [0063] 예를 들어, 출력 전압(V_{OUT})은 로직 인 메모리 인버터(100)의 출력단에서 측정되고, 입력 전압(V_{IN})은 입력단을 통해 입력된다.
- [0064] 일례로, 피드백 전계효과 전자소자(110)는 n형 전계효과 전자소자이고, 모스 전계효과 전자소자(120)는 p형 전계효과 전자소자일 수 있다.
- [0065] 피드백 전계효과 전자소자(110) 및 모스 전계효과 전자소자(120)의 구조는 도 2 및 도 3을 이용하여 보충 설명한다.
- [0066] 본 발명의 일실시예에 따르면 로직 인 메모리 인버터(100)는 입력 전압(V_{IN})의 레벨에 따라 피드백 전계효과 전자소자(110) 내 포텐셜 장벽의 높이가 제어될 수 있다.
- [0067] 또한, 로직 인 메모리 인버터(100)는 입력 전압(V_{IN})의 레벨에 따라 제어된 높이에 따라 양성 피드백 루프의 발생이 제어된다.
- [0068] 따라서, 로직 인 메모리 인버터(100)는 피드백 전계효과 전자소자(110)의 양성 피드백 루프에 기반하여 소오스 전압(V_{SS}), 드레인 전압(V_{DD}) 및 입력 전압(V_{IN})의 레벨이 제로 레벨로 전환되는 경우에 이미 수행된 논리 연산에 따른 논리 상태를 유지할 수 있다.
- [0069] 본 발명의 일실시예에 따르면 로직 인 메모리 인버터(100)는 피드백 전계효과 전자소자(110)의 전자와 정공의 피드백 동작 매커니즘을 통해 로직 인 메모리 기능의 동작을 수행할 수 있다.
- [0070] 로직 인 메모리 인버터(100)는 기존 CMOS 논리 구조를 유지하면서 메모리 기능을 구현하여 논리 동작 및 데이터 저장을 함께 수행할 수 있다.
- [0071] 따라서, 본 발명은 피드백 전계효과 전자소자의 양성 피드백 루프로 구동하고, 로직 인 메모리 기능 동작이 가능한 로직 인 메모리 인버터를 제공할 수 있다.
- [0072] 또한, 본 발명은 CMOS 공정 활용이 가능한 피드백 전계효과 전자소자와 모스 전계효과 전자소자로 구성되어 집적도가 향상된 로직 인 메모리 인버터를 제공할 수 있다.
- [0074] 도 2는 본 발명의 일실시예에 따른 로직 인 메모리 인버터의 피드백 전계효과 전자소자를 설명하는 도면이다.
- [0075] 도 2를 참고하면, 본 발명의 일실시예에 따른 피드백 전계효과 전자소자(200)는 나노구조체, 게이트 절연막(220), 게이트 전극(221)을 포함한다.
- [0076] 나노구조체는 p-n-p-n 나노구조체로, 드레인 영역(210), 소오스 영역(213), 제1 채널 영역(211) 및 제2 채널 영

역(212)을 포함한다.

- [0077] 드레인 영역(210)에는 드레인 전극(230)이 위치하고, 소오스 영역(213)에는 소오스 전극(231)이 위치할 수 있다.
- [0078] 드레인 영역(210) 및 제2 채널 영역(212)은 p 도핑 상태이고, 소오스 영역(213) 및 제1 채널 영역(211)은 n 도핑 상태일 수 있다.
- [0079] 드레인 영역(210) 및 제1 채널 영역(211) 및 소오스 영역(213)의 도핑 농도는 $1 \times 10^{20} \text{ cm}^{-3}$ 이고, 제2 채널 영역(212)의 도핑 농도는 $7 \times 10^{19} \text{ cm}^{-3}$ 일 수 있다.
- [0080] 제1 채널 영역(211)의 채널 길이($1/2L_{CH}$)와 제2 채널 영역(212)의 채널 길이($1/2L_{CH}$)는 동일하다.
- [0081] 예를 들어, 채널 길이($1/2L_{CH}$)는 20nm일 수 있고, 나노 구조체의 두께(T_{Si})는 10nm일 수 있으며, 게이트 절연막(220)의 두께(T_{OX})는 2nm일 수 있다.
- [0082] 게이트 전극(221)의 작업 함수는 논리 및 메모리 작동에서 최적의 기능을 얻기 위해서 5.65eV로 조정될 수 있다.
- [0083] 일레로 피드백 전계효과 전자소자(200)는 채널 영역의 내부에 포텐셜 장벽의 높이를 조절하는 양성 피드백 루프를 기반으로 동작한다.
- [0084] 피드백 전계효과 전자소자(200)는 래치 업 현상으로 인한 가파른 스위칭 특성과 게이트 전압으로 제어되는 우수한 메모리 특성을 보유하고 있다.
- [0085] 피드백 전계효과 전자소자(200)는 실리콘 기반 소자로, 기존 CMOS 공정을 활용하여 소자 구현이 가능하다.
- [0087] 도 3은 본 발명의 일실시예에 따른 로직 인 메모리 인버터의 모스 전계효과 전자소자를 설명하는 도면이다.
- [0088] 도 3을 참고하면, 본 발명의 일실시예에 따른 모스 전계효과 전자소자(300)는 드레인 영역(310), 소오스 영역(312) 및 채널 영역(311)을 포함하는 p-n-p 트랜지스터, 게이트 절연막(320), 게이트 전극(321)을 포함한다.
- [0089] 드레인 영역(310)에는 드레인 전극(330)이 위치하고, 소오스 영역(312)에는 소오스 전극(331)이 위치할 수 있다.
- [0090] 드레인 영역(310)은 p 도핑 상태이고, 소오스 영역(312) 및 채널 영역(211)은 n 도핑 상태일 수 있다.
- [0091] 드레인 영역(310) 및 소오스 영역(312)의 도핑 농도는 $1 \times 10^{20} \text{ cm}^{-3}$ 이고, 채널 영역(311)의 도핑 농도는 $7 \times 10^{19} \text{ cm}^{-3}$ 일 수 있다.
- [0092] 채널 영역(211)의 채널 길이(L_{CH})는 도 2에서 설명된 제1 채널 영역과 제2 채널 영역의 채널 길이의 합과 동일할 수 있다.
- [0093] 예를 들어, 채널 길이(L_{CH})는 40nm일 수 있고, 나노 구조체의 두께(T_{Si})는 10nm일 수 있으며, 게이트 절연막(320)의 두께(T_{OX})는 2nm일 수 있다.
- [0094] 게이트 전극(321)의 작업 함수는 논리 및 메모리 작동에서 최적의 기능을 얻기 위해서 4.8eV로 조정될 수 있다.
- [0096] 도 4a 및 도 4b는 본 발명의 일실시예에 따른 로직 인 메모리 인버터를 구성하는 단일 소자의 특성을 설명하는 도면이다.
- [0097] 구체적으로, 도 4a는 본 발명의 일실시예에 따른 로직 인 메모리 인버터의 피드백 전계효과 전자소자의 동작 특성을 설명하는 도면이고, 도 4b는 본 발명의 일실시예에 따른 로직 인 메모리 인버터의 모스 전계효과 전자소자의 동작 특성을 설명하는 도면이다.
- [0098] 도 4a의 그래프(400)를 참고하면, 본 발명의 일실시예에 따른 로직 인 메모리 인버터의 피드백 전계효과 전자소자는 게이트 전압(V_G)의 증가에 따라 양성 피드백 루프로 인한 래치 업 현상이 발생하고 두 개의 상태(state)를 가지는 특성을 나타낸다.

- [0099] 래치 업 현상은 게이트 전압(V_G)의 순방향 스위프 중에 발생하는데, 게이트 전압(V_G)이 0.6V 이하에서 전류(I_D)가 급격히 증가하는 것으로 확인 가능하다.
- [0100] 피드백 전계효과 전자소자는 채널 영역의 양성 피드백 루프로 드레인 전압(V_D)이 0.5V에서 2.3×10^{-3} mV / dec의 매우 낮은 SS(subthreshold swing)를 나타내며, 래치 업 현상은 로직 인 메모리 인버터의 논리 연산에 적용할 수 있다.
- [0101] 피드백 전계효과 전자소자는 온(ON) 상태로 전환하여 10^{-12} 의 높은 온(ON)/오프(OFF) 전류 비율을 보여준다.
- [0102] 그러나, 게이트 전압(V_G)이 역방향으로 스위핑(sweeping)하면 래치 업 현상과는 다른 방식으로 게이트 전압(V_G)에서 전류(I_{DS})가 감소하고, 이를 래치 다운 현상이라고 하는데, 래치 다운 현상 이후 피드백 전계효과 전자소자가 오프 상태로 전환될 수 있다.
- [0103] 래치 업 및 래치 다운 현상이 발생하는 게이트 전압(V_G)의 간격은 현상이 다시 발생하기 전에 피드백 전계효과 전자소자의 온(ON)/오프(OFF) 상태를 유지하는 메모리 창을 나타낼 수 있다.
- [0104] 또한, 드레인 전압(V_D)에 더 많은 바이어스를 적용하면 온(ON)/오프(OFF) 전류 비율과 메모리 창이 커지나, 게이트 전압(V_G)은 영향을 받지 않을 수 있다.
- [0105] 본 발명의 일실시예에 따르면 피드백 전계효과 전자소자는 입력 전압(V_{IN})의 레벨이 로우 레벨에서 하이 레벨로 증가하는 경우, 양성 피드백 루프(positive feedback loop)에 기반한 래치업(latch-up) 현상이 발생할 수 있다.
- [0106] 도 4b의 그래프(410)를 참고하면, 본 발명의 일실시예에 따른 로직 인 메모리 인버터의 모스 전계효과 전자소자는 게이트 전압(V_G)이 0V 이상에서 문턱 전압을 가지고, 게이트 전압의 감소에 따라 드레인 전류가 증가하는 특성을 나타낸다.
- [0107] 즉, 그래프(410)는 모스 전계효과 전자소자에 대한 전류(I_{DS}) 대 게이트 전압(V_G)의 절대 값을 예시한다.
- [0108] 모스 전계효과 전자소자의 게이트 전압(V_G)이 감소하면 전류(I_{DS})의 절대 값은 게이트 전압(V_G)이 -0.5V에서 포화 영역에 접근할 수 있다.
- [0109] 10^{-15} 이하의 높은 전류 온(ON)/오프(OFF) 비율에도 불구하고 모스 전계효과 전자소자는 열 주입의 작동 메커니즘으로 인해 60mV/dec 이상의 SS(subthreshold swing)를 나타낼 수 있다.
- [0110] 즉, 본 발명의 일실시예에 따른 메모리 인 로직 인버터는 피드백 전계효과 전자소자 및 모스 전계효과 전자소자의 특성을 바탕으로 논리 연산 및 메모리 기능을 수행할 수 있다.
- [0111] 따라서, 본 발명은 피드백 전계효과 전자소자의 메모리 특성을 이용하여 대기 전력을 줄이면서 스위칭 특성을 통해 연산 효율이 증가된 로직 인 메모리 인버터를 제공할 수 있다.
- [0113] 도 5a는 본 발명의 일실시예에 따른 로직 인 메모리 인버터의 전압 전달 특성을 설명하는 도면이다.
- [0114] 도 5a의 그래프(500)를 참고하면, 본 발명의 일실시예에 따른 로직 인 메모리 인버터는 피드백 전계효과 전자소자의 메모리 특성으로 인해 입력 전압의 레벨이 제로 레벨 일 시 이전 논리 연산 값이 유지되고 논리의 전환이 서로 다른 입력 전압에 의해서 발생할 수 있다.
- [0115] 그래프(500)는 공급 전압 드레인 전압(V_{DD}) 및 소오스 전압(V_{SS})가 각각 0.5V 및 -1.3V인 경우에 전압 전달 특성을 예시한다.
- [0116] 출력 논리 상태(501)가 하이 상태('1')에서 입력 전압(V_{IN})이 로우 레벨인 -0.5V로 적용될 때 높은 전압 값을 나타낸다.
- [0117] 한편, 출력 논리 상태(503)가 로우 상태('0')에서 입력 전압(V_{IN})이 하이 레벨인 0.5V로 적용될 때 낮은 전압 값을 나타낸다.

- [0118] 기존 CMOS 로직 인버터와 달리 본 발명의 일실시예에 따른 로직 인 메모리 인버터는 히스테리시스(hysteresis) 특성, 즉 출력 논리 상태가 서로 다른 입력 전압(V_{IN})에서 전환될 수 있다.
- [0119] 또한, 본 발명의 일실시예에 따른 로직 인 메모리 인버터는 입력 전압(V_{IN})이 0V인 제로 레벨 일 때 논리 데이터를 보유하는 메모리 기능을 제공할 수 있다.
- [0120] 다시 말해, 출력 논리 상태(502)와 출력 논리 상태(504)는 입력 전압(V_{IN})이 0V인 제로 레벨로 처리 된 논리 상태에 의해 결정됨에 따라 이전 논리 상태를 유지할 수 있다.
- [0121] 본 발명의 일실시예에 따르면 로직 인 메모리 인버터는 입력 전압(V_{IN})의 레벨이 로우 레벨인 경우 논리 연산에 따른 논리 상태를 하이 상태로 결정하고, 입력 전압(V_{IN})의 레벨이 하이 레벨인 경우 논리 연산에 따른 논리 상태를 로우 상태로 결정할 수 있다.
- [0122] 일례로, 로직 인 메모리 인버터는 입력 전압(V_{IN})의 레벨이 로우 레벨에서 제로 레벨로 전환되는 경우 논리 연산에 따른 논리 상태를 하이 상태로 유지하고, 입력 전압(V_{IN})의 레벨이 하이 레벨에서 제로 레벨로 전환되는 경우 논리 연산에 따른 논리 상태를 로우 상태로 유지할 수 있다.
- [0124] 도 5b는 본 발명의 일실시예에 따른 로직 인 메모리 인버터의 게인(Gain)을 설명하는 도면이다.
- [0125] 도 5b의 그래프(510)를 참고하면, 본 발명의 일실시예에 따른 로직 인 메모리 인버터는 피드백 전계효과 전자소자의 가파른 스위칭 특성으로 인해 높은 인버터 게인 값을 가질 수 있다.
- [0126] 구체적으로, 그래프(510)는 입력 전압(V_{IN})과 출력 전압(V_{OUT})의 미분 절대 값에서 얻은 인버터 이득을 예시한다.
- [0127] 그래프(510)에서 확대 그래프(511)를 참고하면, 모스 전계효과 전자소자가 턴 온되면, 로직 인 메모리 인버터는 논리 상태가 로우 상태('0')에서 하이 상태('1')로 전환되고, SS가 60mV/dec 이상으로 약 7.9V/V의 상대적으로 낮은 인버터 이득이 관찰된다.
- [0128] 한편, 논리 상태가 하이 상태('1')에서 로우 상태('0')로 급격히 전환되면 피드백 전계효과 전자소자의 래치 업 현상으로 인해 296.8V/V 이하의 높은 이득이 발생하는 것을 확인할 수 있다.
- [0129] 즉, 본 발명의 일실시예에 따른 로직 인 메모리 인버터는 가파른 전이 경사로 인해 제안 된 인버터는 메모리 작동을 위한 충분한 전압 마진을 확보하여 좁은 입력 전압(V_{IN}) 범위에서 작동 할 수 있다.
- [0131] 도 6a 및 도 6b는 본 발명의 일실시예에 따른 로직 인 메모리 인버터의 피드백 전계효과 전자소자의 에너지 밴드 다이어그램을 설명하는 도면이다.
- [0132] 도 6a를 참고하면, 출력 논리 상태가 하이 상태일 때, 피드백 전계효과 전자소자의 포텐셜 장벽은 드레인 영역과 소오스 영역로부터 주입되는 전자와 정공을 막아주어 피드백 전계효과 전자소자의 드레인 전압을 유지되는 특성을 예시한다.
- [0133] 피드백 전계효과 전자소자 내 포텐셜 우물과 장벽은 입력 전압에 의해 제어된다.
- [0134] 입력 전압의 레벨이 로우 레벨인 경우에 출력 논리 상태(601)는 하이 상태이고, 입력 전압의 레벨이 제로 레벨로 전환되는 경우에 출력 논리 상태(602)는 하이 상태로 유지된다.
- [0135] 구체적으로, 출력 논리 상태(601)가 하이 상태이면 피드백 전계효과 전자 소자의 채널 영역에 전위 장벽이 생성되고, 에너지 밴드 다이어그램에 양성 피드백 루프(603)가 발생하지 않는다.
- [0136] 입력 전압이 로우 레벨에서 제로 레벨로 증가함에 따라 피드백 전계효과 전자소자의 전도대 내의 장벽 높이가 감소한다.
- [0137] 그러나, 전위 장벽은 입력 전압의 레벨이 제로 레벨에서 충분히 높아서 전자(electron) 및 정공(hole)이 채널 영역에 주입되는 것을 차단할 수 있다.
- [0138] 따라서, 피드백 전계효과 전자 소자의 드레인 영역의 에너지 레벨은 홀드(hold) '1'에 해당하는 드레인 영역의 에너지 레벨을 유지할 수 있도록 할 수 있다.
- [0139] 다시 말해, 피드백 전계효과 전자소자는 입력 전압의 레벨이 로우 레벨에서 제로 레벨로 전환되는 경우, 로우

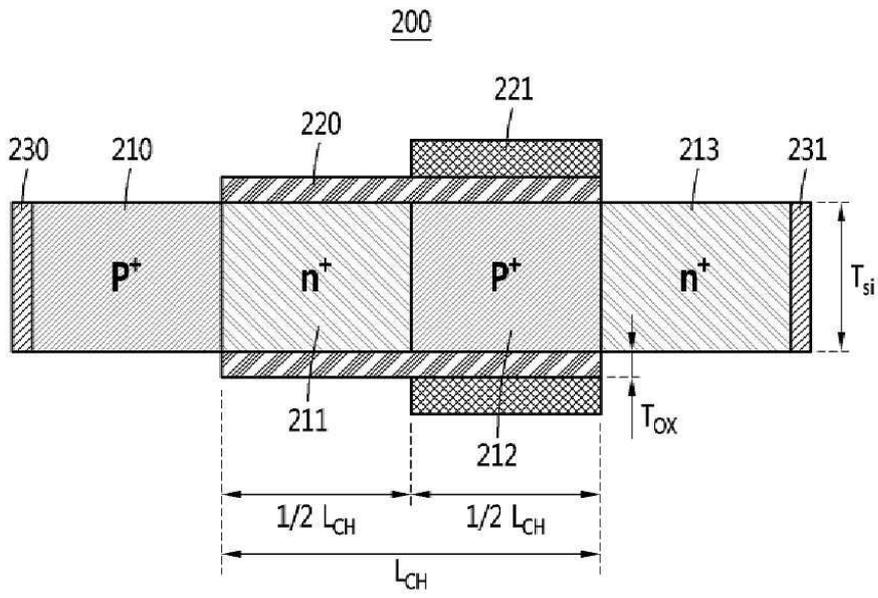
레벨에 기반한 포텐셜 장벽의 높이가 나노 구조체의 드레인 영역과 소스 영역으로부터 채널 영역으로 주입되는 전자와 정공을 막을 수 있다.

- [0140] 따라서, 피드백 전계효과 전자 소자는 드레인 전압의 에너지 레벨이 하이 상태의 에너지 레벨로 유지됨에 따라 이전에 수행된 논리 연산에 따른 논리 상태를 하이 상태로 동일하게 유지할 수 있다.
- [0141] 예를 들어, 입력 전압의 레벨이 로우 레벨인 경우는 -0.5V에 해당하고, 제로 레벨인 경우는 0V에 해당할 수 있다.
- [0142] 도 6b를 참고하면, 출력 논리 상태가 로우 상태일 때, 입력 전압의 증가에 따른 포텐셜 장벽 높이의 감소로 인해 드레인 영역과 소스 영역으로부터 전자와 정공이 주입되며 양성 피드백 루프가 발생하는 특성을 예시한다.
- [0143] 피드백 전계효과 전자소자 내 포텐셜 우물과 장벽은 입력 전압에 의해 제어된다.
- [0144] 입력 전압의 레벨이 하이 레벨인 경우에 출력 논리 상태(611)는 로우 상태이고, 입력 전압의 레벨이 제로 레벨로 전환되는 경우에 출력 논리 상태(612)는 로우 상태로 유지된다.
- [0145] 구체적으로, 출력 논리 상태(611)가 로우 상태이면 피드백 전계효과 전자소자는 포텐셜 장벽의 높이가 감소됨에 따라 드레인 영역과 소스 영역으로부터 채널 영역으로 전자와 정공이 주입되는 양성 피드백 루프(613)가 발생한다.
- [0146] 다시 말해, 양성 피드백 루프(613)는 입력 전압이 증가함에 따라 장벽 높이가 감소하고 전자(electron) 및 정공(hole)이 채널 영역으로 주입되면서 발생하는 것으로, 채널 영역에 축적된 전자와 정공이 추가적인 장벽 높이 감소를 유도하고, 이 반복적인 작업으로 인해 잠재적 장벽이 무너져 양성 피드백 루프(613)가 활성화된다.
- [0147] 또한, 입력 전압이 하이 레벨에서 제로 레벨로 감소함에 따라 피드백 전계효과 전자소자의 전도대 내의 장벽 높이가 증가한다.
- [0148] 그러나, 전위 우물에 축적된 캐리어가 전위 장벽의 재생을 방해하므로, 홀드(hold) '0'에 해당하는 드레인 영역의 에너지 레벨을 유지하도록 할 수 있다.
- [0149] 다시 말해, 피드백 전계효과 전자소자는 입력 전압의 레벨이 하이 레벨에서 제로 레벨로 전환된 경우에도 양성 피드백 루프(613)를 통해 채널 영역의 포텐셜 우물에 축적된 전자와 정공에 기반하여 피드백 전계효과 전자소자의 드레인 전압의 에너지 레벨이 로우 상태의 에너지 레벨로 유지됨에 따라 기 수행된 논리 연산에 따른 논리 상태를 동일하게 로우 상태로 유지할 수 있다.
- [0150] 예를 들어, 입력 전압의 레벨이 하이 레벨인 경우는 0.5V에 해당하고, 로우 레벨인 경우는 -0.5V에 해당하며, 제로 레벨인 경우는 0V에 해당할 수 있다.
- [0152] 도 7은 본 발명의 일실시예에 따른 로직 인 메모리 인버터에 인가되는 입력 펄스에 따른 로직 인 메모리 인버터의 출력 특성 변화를 설명하는 도면이다.
- [0153] 도 7의 그래프(700)는 로직 인 메모리 인버터의 인가되는 입력 전압에 따른 출력 특성의 변화를 나타내는 타이밍 차트이다.
- [0154] 도 7의 그래프(700)는 로직 인 메모리 인버터가 전압 저하없이 일정한 논리 전압 값을 유지하여 해당 공급 전압 조건에서 100ns 동안 -0.5V 내지 0.5V의 전압 범위 내에서 제안된 인버터의 논리 프로세스 및 저장 능력을 보유한 것을 확인 시켜 준다.
- [0155] 도 7의 그래프(700)를 참고하면, 로직 인 메모리 인버터는 입력 전압에 반전된 출력 전압을 연산하고 입력 전압이 인가되지 않았을 때는 연산한 출력 전압을 유지할 수 있다.
- [0156] 구체적으로, 로직 인 메모리 인버터는 입력 전압의 레벨이 하이 레벨(710)인 경우에 출력 전압의 레벨을 로우 레벨(720)로 출력한다.
- [0157] 한편, 로직 인 메모리 인버터는 입력 전압의 레벨이 제로 레벨(711)인 경우에 출력 전압의 레벨을 로우 레벨(720)로 유지한다.
- [0158] 또한, 로직 인 메모리 인버터는 입력 전압의 레벨이 로우 레벨(712)인 경우에 출력 전압의 레벨을 하이 레벨(721)로 출력한다.
- [0159] 또한, 로직 인 메모리 인버터는 입력 전압의 레벨이 제로 레벨(711)인 경우에 출력 전압의 레벨을 하이 레벨

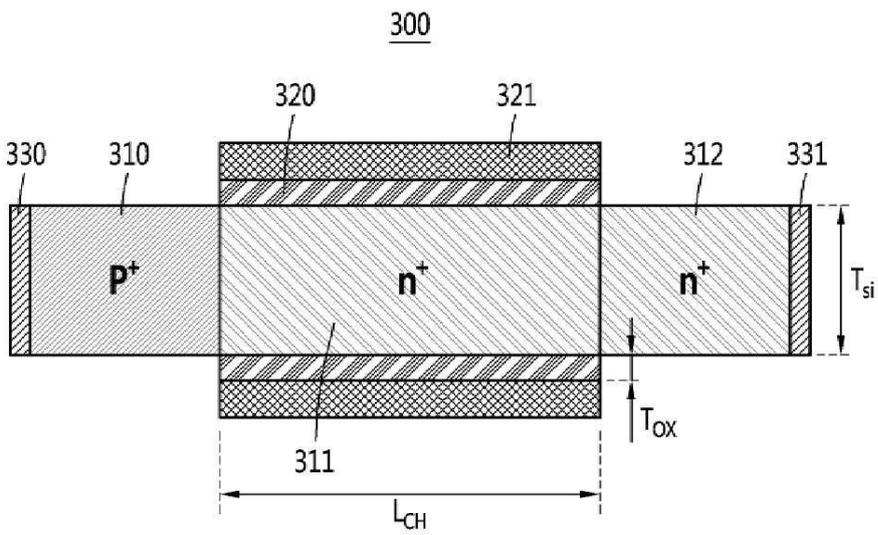
(721)로 유지한다.

- [0160] 예를 들어, 입력 전압의 로우 레벨은 $-0.5V$ 에 해당하고, 제로 레벨은 $0V$ 에 해당하며, 하이 레벨은 $0.5V$ 에 해당할 수 있다.
- [0162] 도 8 내지 도 9b는 본 발명의 일실시예에 따른 로직 인 메모리 인버터에 인가되는 공급 전압에 따른 로직 인 메모리 인버터의 출력 특성 변화를 설명하는 도면이다.
- [0163] 도 8 내지 도 9b는 본 발명의 일실시예에 따른 로직 인 메모리 인버터가 공급 전압과 입력 전압이 인가되었을 때 논리 연산을 수행하고, 피드백 전계효과 전자소자에 축적된 전자와 정공으로 인해 입력 전압 및 공급 전압이 제거되었을 때에도 일정 시간 동안 기 연산된 논리 상태를 기억하는 특성을 예시한다.
- [0164] 도 8의 그래프(800)를 참고하면, 드레인 전압(V_{DD}) 및 소오스 전압(V_{SS})은 입력 전압의 펄스와 동일한 펄스 폭으로 로직 인 메모리 인버터에 입력된다.
- [0165] 본 발명의 일실시예에 따른 로직 인 메모리 인버터의 출력 논리 연산 처리 된 후 $10\mu s$ 동안 지속 된 로우 상태 또는 하이 상태를 제로 바이어스 상태에서($V_{IN} = V_{DD} = V_{SS} = 0.0V$)를 유지한다.
- [0166] 일례로, 로직 인 메모리 인버터는 입력 전압의 레벨이 로우 레벨이고, 드레인 전압(V_{DD}) 및 소오스 전압(V_{SS})이 각각 $0.5V$ 및 $-1.3V$ 인 $100ns$ 에 적용되면, 출력 논리 상태를 하이 상태로 연산한다.
- [0167] 또한 공급 전압(V_{DD} 및 V_{SS})이 제거되면 출력 전압(V_{OUT})이 약간 감소하고 모스 전계효과 전자소자를 통한 전류의 영향을 받을 수 있다.
- [0168] 그럼에도 불구하고 피드백 전계효과 전자 소자의 전위 장벽이 전자 및 정공의 추가 주입을 방지하기 때문에 출력 논리 상태는 홀드 '1' 동안 일정하게 유지될 수 있다.
- [0169] 다음으로, 로직 인 메모리 인버터는 입력 전압의 레벨이 하이 레벨이고, 드레인 전압(V_{DD}) 및 소오스 전압(V_{SS})이 각각 $0.5V$ 및 $-1.3V$ 인 $100ns$ 에 적용되면 출력 논리 상태를 하이 상태에서 로우 상태로 전환하여 연산한다.
- [0170] 다음으로, 로직 인 메모리 인버터는 전하 캐리어에 해당하는 전자 및 정공이 피드백 전계효과 전자 소자의 채널 영역에 축적 되었기 때문에 로우 상태의 논리 상태는 양성 피드백 루프를 유지하여 일관된 상태를 유지하여 로직 인 메모리 인버터가 전압 공급없이 데이터를 유지할 수 있도록 한다.
- [0171] 또한, 로직 인 메모리 인버터는 홀딩 작업 중 정적 전력 소비가 0이었으며 메모리 회로로 작동하기 위해 대체 주변 회로가 필요하지 않는다는 장점이 있다.
- [0172] 따라서, 본 발명은 외부 바이어스 인가 없이 저전력으로 동작이 가능한 로직 인 메모리 인버터를 제공할 수 있다.
- [0173] 또한, 본 발명은 저전력 및 고집적도 하드웨어 컴퓨팅을 구현하면서 패턴인지, 영상 분석 등 다양한 분야에서 병렬 구조식 데이터 처리 방식을 수행할 수 있는 로직 인 메모리 인버터를 제공할 수 있다.
- [0174] 도 9a의 그래프(900) 및 도 9b의 그래프(910)는 본 발명의 일실시예에 따른 로직 인 메모리 인버터의 제로 바이어스 상태에서($V_{IN} = V_{DD} = V_{SS} = 0.0V$) 유지 작업의 가능한 범위를 확인하기 위해 $100ns$ 동안 논리 상태를 계산한 후 시간 함수의 출력(V_{OUT}) 값을 예시한다.
- [0175] 시간이 1000 초로 증가함에 따라 출력(V_{OUT})은 홀딩 작업 중에 서서히 제로 전압에 접근하여 회로를 통해 흐르는 연속 누설 전류에 영향을 줄 수 있다.
- [0176] 도 9a의 그래프(900) 및 도 9b의 그래프(910)를 참고하면, 출력(V_{OUT})이 초기 값의 63% 로 증가 할 때 값을 시간 측정하고, 논리 상태 '0' 및 '1'에 대해 각각 t_0 및 t_1 로 표시한다.
- [0177] 지점(901)에서 초기 논리 상태 '1'의 63% 에서 출력(V_{OUT})은 $\sim 3.4ms$, t_1 은 $3.4ms$ 로 측정될 수 있다.
- [0178] 지점(911)에서 논리 상태 '0'은 저장된 논리 '0'을 잃는 데 훨씬 더 오래 걸리므로 t_0 은 ~ 127 초로 확인된다.
- [0179] 피드백 전계효과 전자소자의 채널 영역에 축적 된 전하 캐리어를 기반으로 논리상태 '0'이 100 초에 걸쳐 실질적으로 긴 t_0 을 나타냈다.

도면2

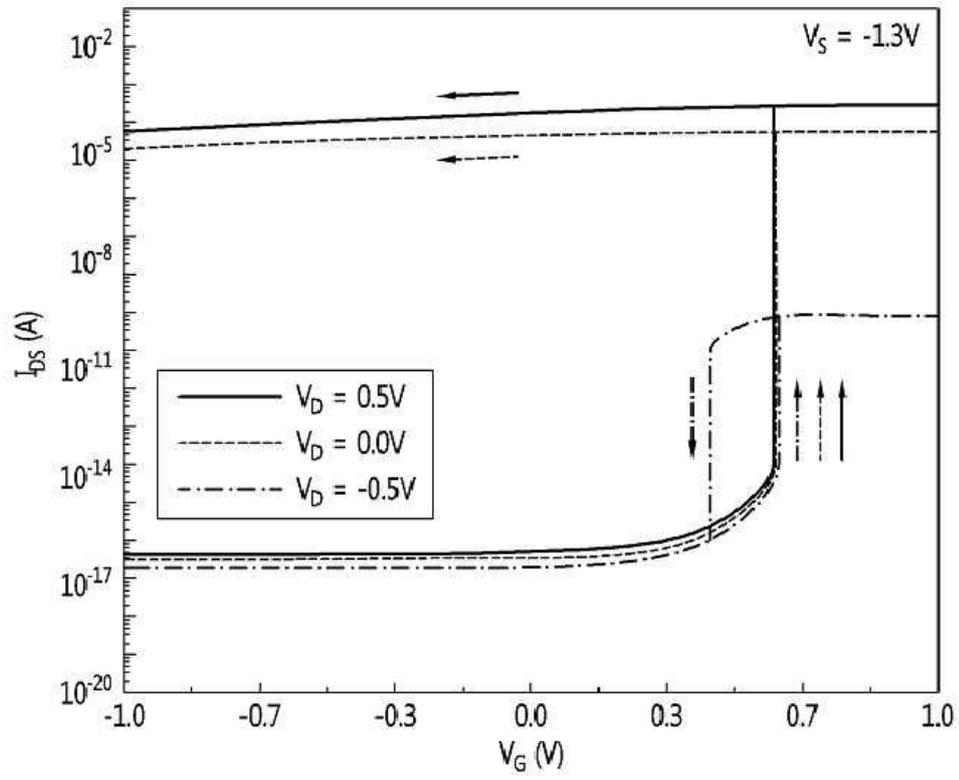


도면3



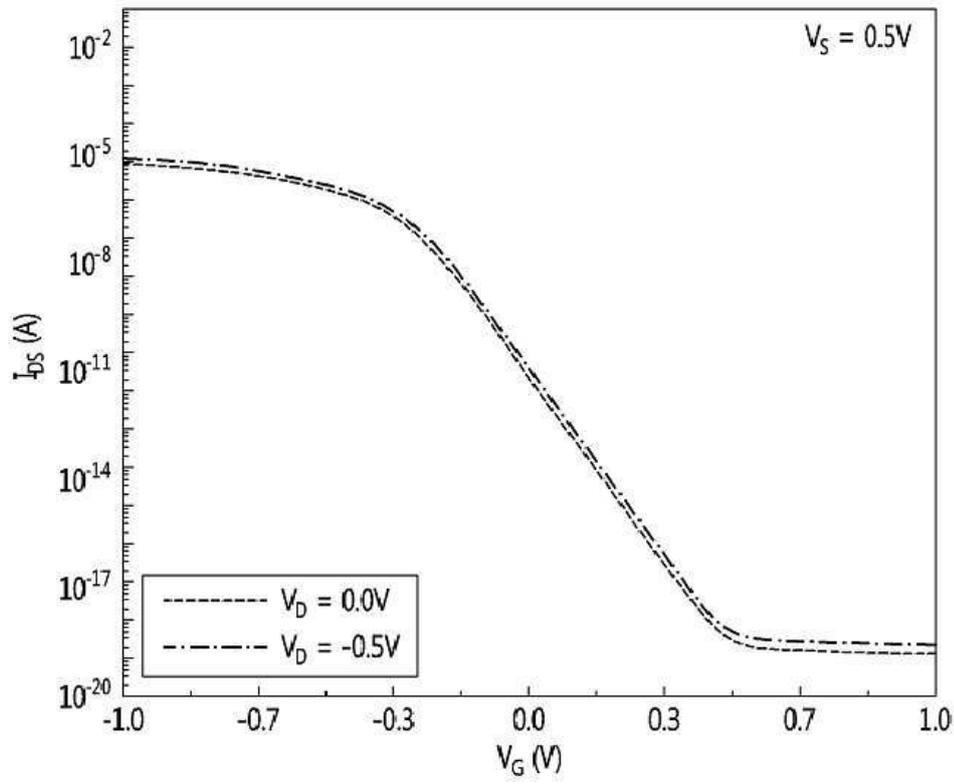
도면4a

400

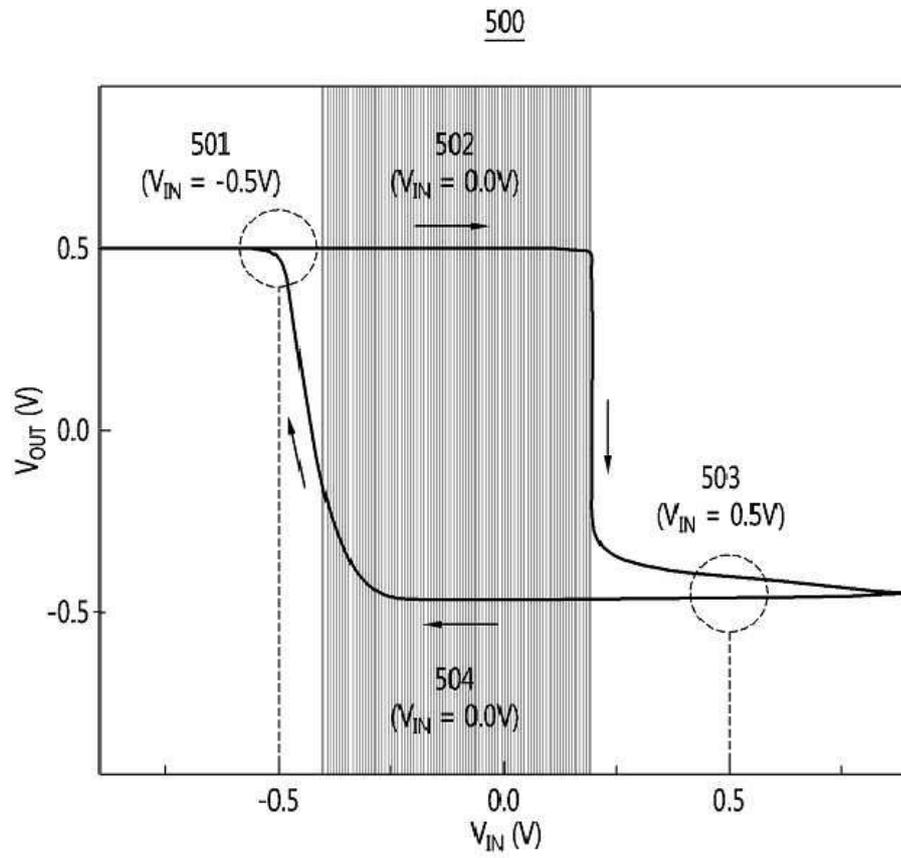


도면4b

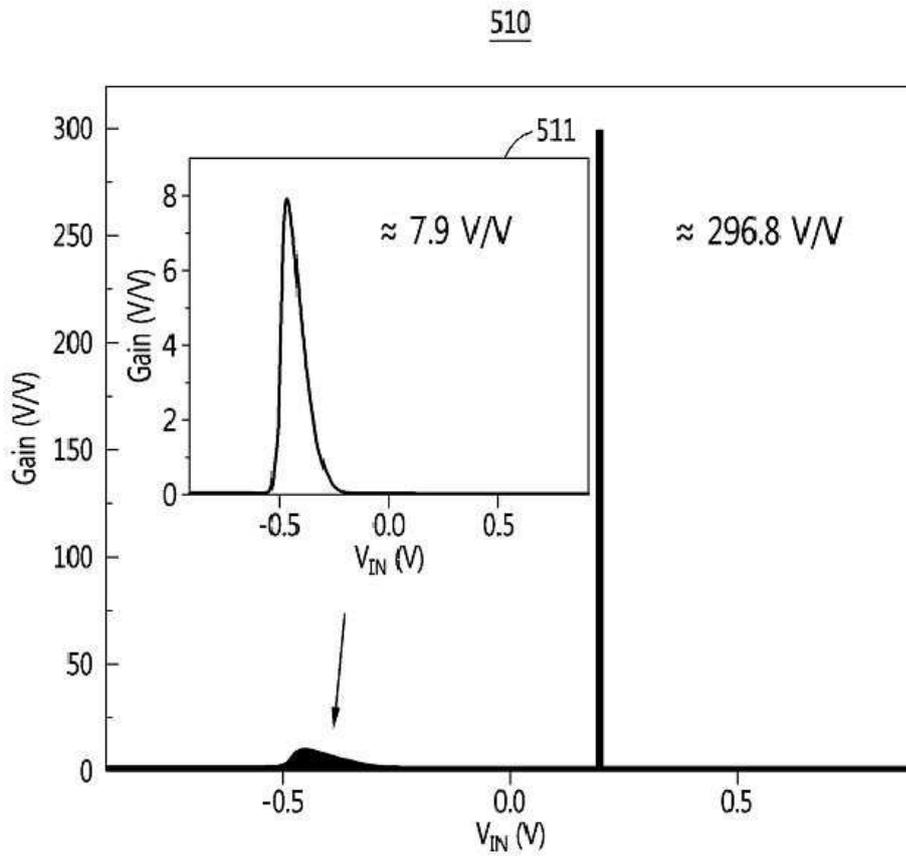
410



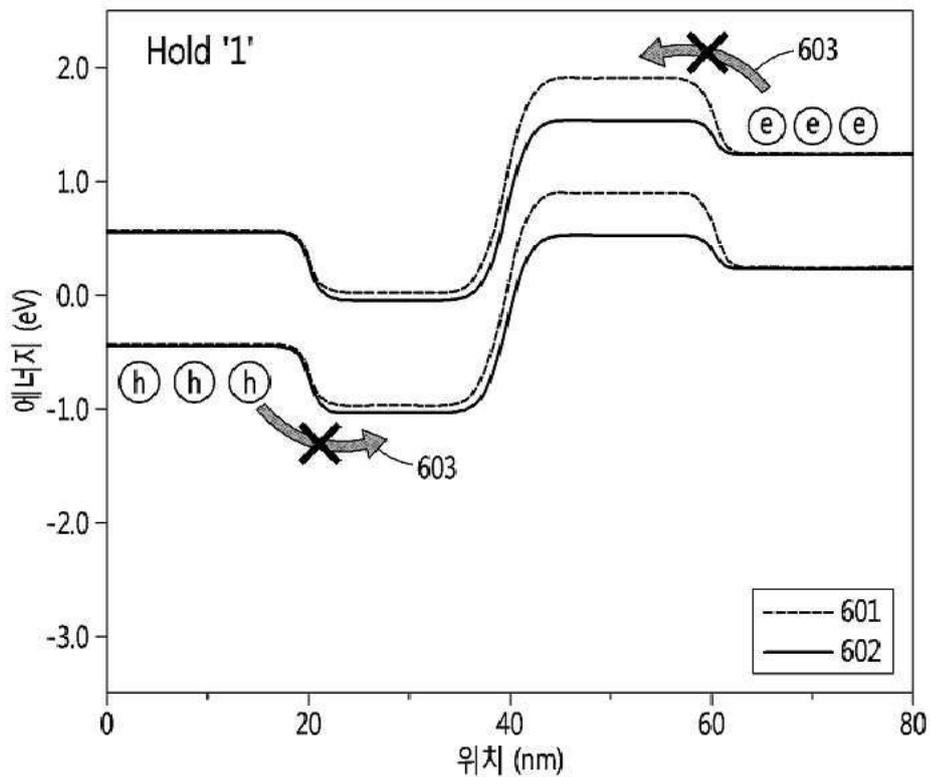
도면5a



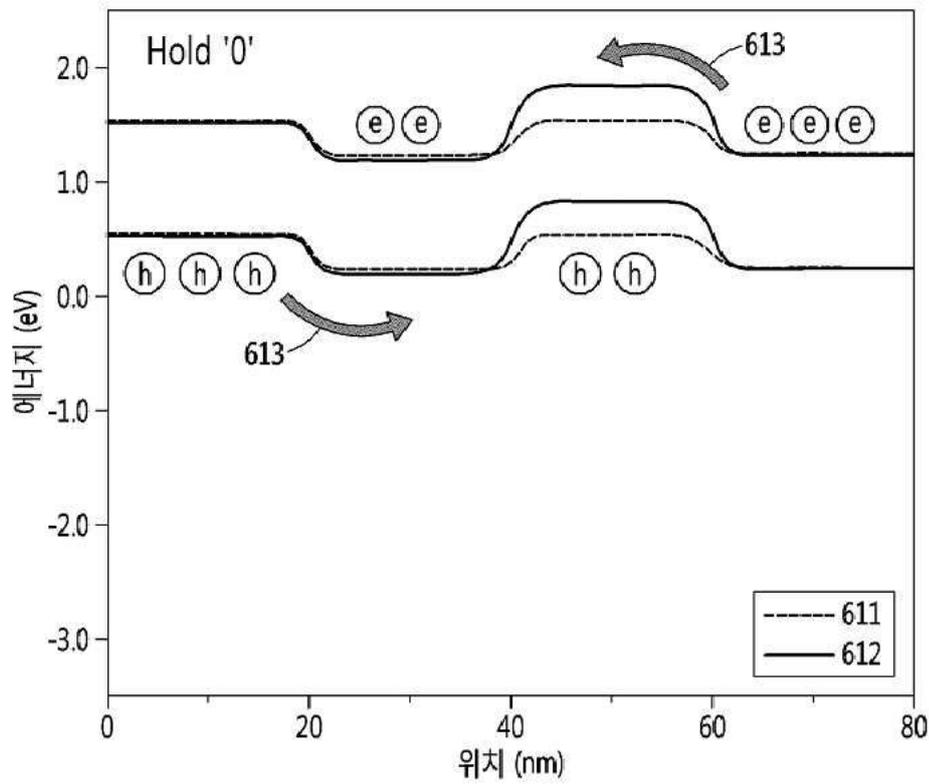
도면5b



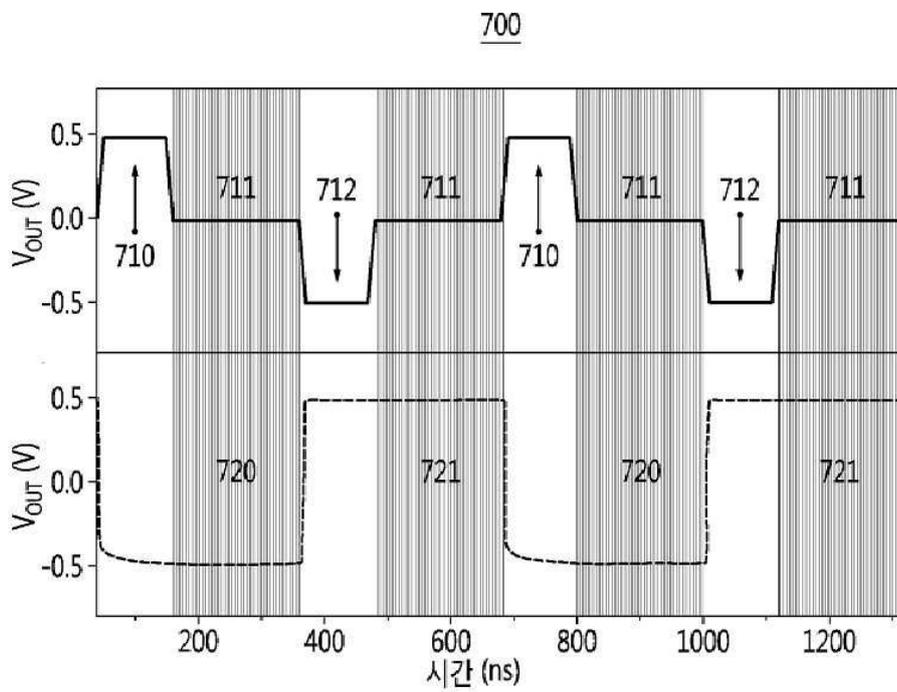
도면6a



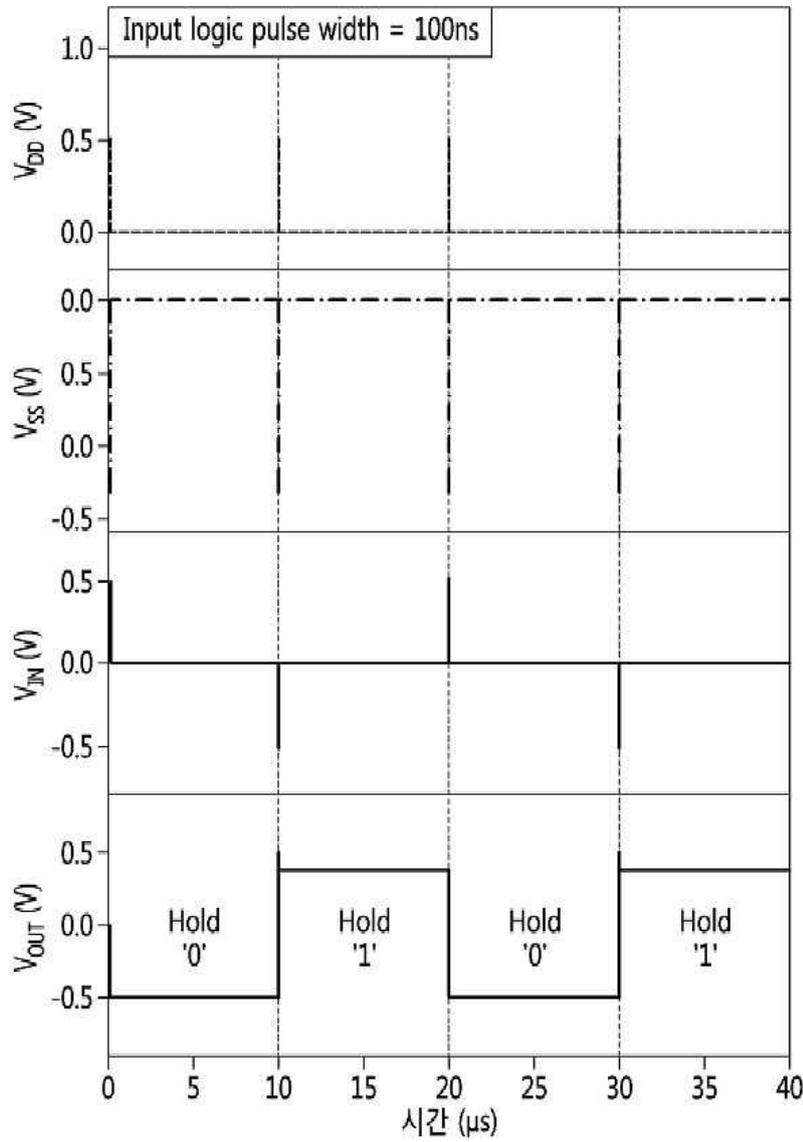
도면6b



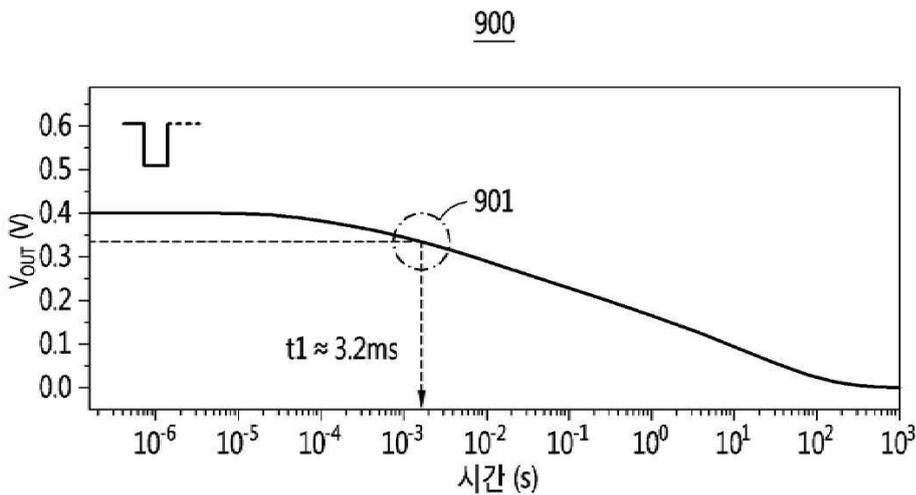
도면7



도면8



도면9a



도면9b

910

